

「キットで学ぶシリーズ FPGA チャレンジャー入門編」を使用したデジタル回路実習（2020年度）

キットの組み立て、ソフトウェアのインストールは完了しているので、テキストに従って次の実習課題について（前課題を次課題で使用するので途中抜かさず、一步一步進めて）実習を行うこと。（ソフトウェアのバージョンが異なる場合、設定画面等が多少異なることがあります、それに対応するのも実習課題のひとつとします）

●実習課題

○初期化と注意事項の確認

次の Web サイトの指示を良く読むこと。まず FPGA ボードが初期化されていること（USB ケーブル接続後、LED が左右に流れるように点滅）を確認せよ。初期化されていない場合は次の Web サイトの指示に従って初期化すること（本講義終了後もこの初期化と不揮発性メモリへの書き込みを行い、次に使用する人のために準備してあげること。 <http://www.ee.secu.chukyo-u.ac.jp/> にアクセスして「デジタル回路と HDL」を参照）

○練習課題

手順をひとつも抜かさず、次のページの手順を確認・製作し、以降の課題がスムーズにできるように慣れよ。（注意：各プロジェクトフォルダは実験室の PC 上に作成せず、各自の USB メモリ上に作成すること）

- 18～41 ページ プロジェクト作成から FPGA への書き込み、その後、不揮発性メモリへの書き込み
- 46～66 ページ AND, OR, セレクタの実習

○実習課題 1

上記の 2 入力 AND,OR に加え、NAND,NOR,EXOR,EXNOR および NOT,BUF の動作を同時に確認できる回路をハードウェア記述言語（Verilog-HDL）で記述し、FPGA ボード上で動作させよ。

つまり、TSW1 と TSW2 の 2 つのスイッチを動かすと、AND,OR,NAND,NOR,EXOR,EXNOR,NOT,BUF の動作をそれぞれ LED0 から LED7 の点灯・消灯で確認できる回路を作成すること（NOT,BUF は TSW1 に対応）。

動作が確認できたら、不揮発性メモリに書き込んで教卓へ持参し教員の動作チェックを受けること。

○実習課題 2

テキストの 67 ページ以降に従って D 型フリップフロップの回路シミュレーションを実施し、波形画面を記録せよ。カメラではなく、スクリーンショットで USB メモリ等に画像を記録し、波形画像のみを報告すること。

○実習課題 3

テキスト 86 ページ以降のカウンタ、7 セグメントカウンタ回路の動作を確認し、上記同様に報告せよ。

●報告書（提出め切は 2021 年 1 月 13 日午前 9 時とし、講義開始時に回収します）

練習課題、実習課題 1～3 について、表紙 1 枚に続けて、実習結果を実験課題順に並べ（図には図番号と実習課題番号およびその図の説明を記述）、綴じて提出する（裏面を参考にするとよい）。

- ・入力したソースファイル(.v) (テストベンチを含む。2 段組や縮小印刷してページ数削減するとよい)
- ・行ったシミュレーション波形画面のスクリーンショット画像（例えば 84 ページの図参照）
- ・感想（最後に、実習で行った最新の設計手法に関する感想を正直に記述すること）

●（参考）テキストの内容

1. 18～41 ページ プロジェクト作成から FPGA への書き込みと不揮発性メモリへの書き込み
2. 46～72 ページ AND, OR, セレクタ, FF の実習
3. 73～85 ページ Model Sim を用いたデジタル回路シミュレーション
4. 86～112 ページ カウンタ, 7 セグメント表示の実習
5. 113～117 ページ 階層化構造
6. 118～125 ページ プッシュマトリクススキャン, 7 セグメント表示のダイナミック点灯
7. 126～133 ページ FPGA ボードの取扱説明書

実習レポートの構成例

指定事項：A4用紙縦置き横書き，上部2箇所をホチキス留め（厳守）

クリップどめ不可．ホチキスでとまるように，2枚目以降の文字サイズ，改行幅，段組等を調整せよ．

●1枚目：表紙（2枚目以降の用紙と同じ用紙を用いてよい）

タイトル「デジタル回路とHDL実習」と学籍番号，氏名を記入

●2枚目以降：ソースファイル，テストベンチ，シミュレーション結果等（回路名，内容等を記入すること）

回路名	内容	参考ページ
○練習課題（以下を必ず報告します）		
AND回路	VerilogHDL ソースファイル	48
OR回路	VerilogHDL ソースファイル	55
セレクト回路（論理ゲート版）	VerilogHDL ソースファイル	59
セレクト回路（三項演算子版）	VerilogHDL ソースファイル	61
3ビット幅 2-1セレクト回路	VerilogHDL ソースファイル	64
1ビット 4-1セレクト回路	VerilogHDL ソースファイル	各自の課題
○実習課題1（以下に加えて，教員による動作チェックが必要です）		
AND～BUFまでの8種類のゲート回路	VerilogHDL ソースファイル	各自の課題
○実習課題2（以下を必ず報告します）		
非同期リセットD型フリップフロップ回路	VerilogHDL ソースファイル	70
同期リセットD型フリップフロップ回路	VerilogHDL ソースファイル	72
D型フリップフロップ回路	テストベンチファイル	76
非同期リセットD型フリップフロップ回路	シミュレーション結果	84上
同期リセットD型フリップフロップ回路	シミュレーション結果	84下
○実習課題3（以下の順で抜かさず実習を進め，完了したもののみ報告します）		
4ビット16進カウンタ回路	VerilogHDL ソースファイル	86
4ビット16進カウンタ回路	テストベンチファイル	88上
4ビット16進カウンタ回路	シミュレーション結果	88下
クロック分周回路	VerilogHDL ソースファイル	90
クロック分周回路	テストベンチファイル	92
クロック分周回路(temp_count==9としたとき)	シミュレーション結果	93
システムクロック分周回路	VerilogHDL ソースファイル	94
システムクロック分周回路	テストベンチファイル	96上
システムクロック分周回路(temp_count==4としたとき)	シミュレーション結果	96下
スイッチ入力4ビット10進カウンタ回路	VerilogHDL ソースファイル	97
スイッチ入力4ビット10進カウンタ回路	テストベンチファイル	99上
スイッチ入力4ビット10進カウンタ回路	シミュレーション結果	99下
チャタリング対策回路	VerilogHDL ソースファイル	102
スイッチ入力アップダウンカウンタ回路	VerilogHDL ソースファイル	104
7セグメントデコーダ回路	VerilogHDL ソースファイル	107
7セグメントカウンタ回路	VerilogHDL ソースファイル	110
階層化構造した7セグメントカウンタ回路	VerilogHDL ソースファイル	113
（アップダウンカウンタ回路	VerilogHDL ソースファイル	104と同じ）
（7セグメントデコーダ回路	VerilogHDL ソースファイル	107と同じ）
スイッチマトリックス（1列のみ）	VerilogHDL ソースファイル	118
スイッチマトリックスのキースキャン	VerilogHDL ソースファイル	120
7セグLEDのダイナミック点灯（最上位層）	VerilogHDL ソースファイル	122
7セグLEDのダイナミック点灯（デコーダ部）	VerilogHDL ソースファイル	123
7セグLEDのダイナミック点灯（スイッチマトリックス部）	VerilogHDL ソースファイル	124

●最終ページ：ページを改めて，感想のみ記入（できるだけ多く記入．高得点獲得のチャンスです）